

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 60-260147

(43)Date of publication of application : 23.12.1985

(51)Int.Cl.

H01L 27/10
G11C 17/00
H01L 29/78

(21)Application number : 59-116015

(71)Applicant : FUJITSU LTD

(22)Date of filing : 06.06.1984

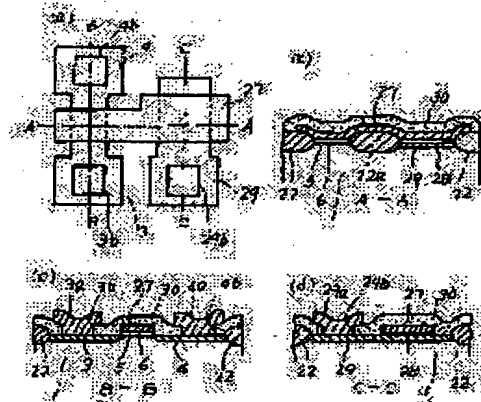
(72)Inventor : SUGAYA SHINJI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To reduce the number of manufacturing processes, and to reduce manufacturing cost of a memory unit by a method wherein a gate on a channel region at an EP-ROM region is also made to have a one layer construction.

CONSTITUTION: An insulating film provided on a floating gate 27 up to this time is made as an insulating film 28 forming in line laterally with a channel region 5 interposing an element isolation region 22a between them, a control gate 29 is provided under the insulating film 28, the floating gate 27 is provided communicating on an insulating film 6 and the insulating film 28 crossing the element isolation region 22a, and an EP-ROM of a one layer construction is formed. The gate on the channel region of the EP-ROM can be made to have the one layer construction according to this constitution, and a one chip microcomputer assembled with the EP-ROM can be formed at low cost, for example.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭60-260147

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和60年(1985)12月23日

H 01 L 27/10
G 11 C 17/00
H 01 L 29/78

1 0 1

6655-5F
6549-5B
7514-5F

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 昭59-116015

⑰ 出 願 昭59(1984)6月6日

⑱ 発 明 者 菅 谷 慎 二 川崎市中原区上小田中1015番地 富士通株式会社内
⑲ 出 願 人 富士通株式会社 川崎市中原区上小田中1015番地
⑳ 代 理 人 弁理士 松岡 宏四郎

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

半導体基板表面に素子分離領域を挟んで設けられたチャネル領域およびコントロールゲートと、絶縁層を介し該チャネル領域およびコントロールゲート上に連通して設けられたフローティングゲートとを含んで形成された不揮発性記憶素子を有してなることを特徴とする半導体装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、半導体装置に係り、特に、不揮発性記憶素子、例えばイレザブル・アンド・プログラマブル・リードオンリメモリ(以下BP-ROMと称す)を有する半導体装置の改良に関する。

上記BP-ROMは、消去ならびに書き込みが可能な読み取り専用の半導体メモリで、同一構成のメモリでありながら、異なる制御プログラムなどを記憶させることが出来るため、例えば、数量の少な

いシステムの制御プログラムメモリ用や、パーソナルコンピュータ、ワードプロセッサなどの実用化初期段階にある制御プログラムメモリ用として多用されている。

然も、最近では、ワンチップマイコンとして、上記BP-ROMが論理回路と共に一つの半導体チップに形成される場合も少なくない。

特に前記ワンチップマイコンの場合には、その便宜さもさることながら、経済性が重視されるので、価格を安くして提供することが望まれる。

また、大容量半導体メモリにおいては、メモリ容量に余裕を設け、製造過程において該メモリ内に不良素子が形成されても、該不良素子をメモリ機能から除外することによって、該メモリの救済を行うことがあり、この場合、該除外は的確に行われることが望まれる。

(従来の技術)

第2図は従来のBP-ROMの構造を模式的に示した側断面図である。

第2図図示において、1はp形シリコン(31)

の基板、2は二酸化シリコン(SiO₂)の素子分離領域、3と4はn⁺型Siのソースとドレイン、5はチャネル領域、6はSiO₂の絶縁膜(ゲート酸化膜)、7はポリSiのフローティングゲート、8はSiO₂の絶縁膜、9はポリSiのコントロールゲート、10はSiO₂の絶縁膜、3a、4a、9aはそれぞれコンタクトホール3b、4b、9bを通してソース3、ドレイン4、コントロールゲート9を導出する電極である。

この構成において、電極導出されていないフローティングゲート7が電荷を蓄積していない場合には、通常の電界効果トランジスタ(以下FETと称す)のように、コントロールゲート9に電圧が印加されるとチャネル領域5にチャネルが形成されて、ソース3とドレイン4の間が接続の状態になり、また、フローティングゲート7が負電荷を蓄積している場合には、コントロールゲート9に電圧を印加してもチャネル領域5にチャネルが形成されず、ソース3とドレイン4の間が断の状態のままとなって、メモリ機能を果たす。

上記負電荷の蓄積に関しては、ソース3とドレイン4およびコントロールゲート9間に所定の電圧を印加することにより該蓄積がなされ、紫外線を照射することにより該蓄積電荷が除去されるので、任意のフローティングゲート7に対して蓄積が可能である。

また、論理回路を形成する金属酸化膜ゲートFET(以下MOS-FETと称す)の構造は、模式的に側断面図で示した第3図図示の如くである。

即ち、1は前出と同様な基板、12はSiO₂の素子分離領域、13と14はn⁺型Siのソースとドレイン、15はチャネル領域、16はSiO₂の絶縁膜(ゲート酸化膜)、17はポリSiのゲート、20はSiO₂の絶縁膜、13a、14a、17aはそれぞれコンタクトホール13b、14b、17bを通してソース13、ドレイン14、ゲート17を導出する電極である。

また、先に述べたメモリ内の不良素子を除外することに関しては、図示はないが、一般に該メモリの配線に、例えば過電流の通電により破断するような“冗長回路のヒューズ”を設け、該ヒュー

Zの破断により不良素子をメモリ機能から除外している。しかしながら、この方法は、的確な破断が行われなかったり他に悪影響を及ぼしたりする場合がある。

(発明が解決しようとする問題点)

先に述べたように、第2図図示のEP-ROMと第3図図示のMOS-FETとを同一チップに形成する場合、両図から明らかなように、MOS-FET領域におけるチャネル領域15上のゲートが一層構造であるにもかかわらず、EP-ROM領域におけるチャネル領域5上のゲートが二層構造であるため、該チップの製造工程が該二層構造を形成する工程となり、該一層構造の場合より工程数が多く製造費用が高くなる問題点を有する。

また、“冗長回路のヒューズ”にEP-ROMを充当すれば、前記除外は的確に且つ任意に(再プログラム可能に)行うことが可能になるが、前記二層構造の構成では当該メモリの製造費用が高くなり、実用性が低い。

(問題点を解決するための手段)

上記問題点は、半導体基板表面に素子分離領域を挟んで設けられたチャネル領域およびコントロールゲートと、絶縁膜を介し該チャネル領域およびコントロールゲート上に連続して設けられたフローティングゲートとを含んで形成された不揮発性記憶素子を有してなる本発明の半導体装置によって解決される。

(作用)

第2図図示のEP-ROMの作用において、チャネル領域5、フローティングゲート7、コントロールゲート9の関係は、チャネル領域5とフローティングゲート7とで形成する第一の容量と、フローティングゲート7とコントロールゲート9とで形成する第二の容量とが直列に接続された等価回路により、それぞれに賦与される電荷の挙動が支配されている。

本発明によるEP-ROMは、従来種別状に配置されていた第一の容量と第二の容量とを、前記等価回路を変えずに、同一面に横並びに配置したもので、コントロールゲートが基板に設けられるため前記

一層構造となつて、MOS-FETの製造工程と略同一工程で製造することが可能になる。

このことから、例えば、同一チップにMOS-FETとEP-ROMとを形成する場合に、該EP-ROMを本EP-ROMにすることによって製造費用の低減が可能になり、例えば、EP-ROMを組み込んだワンチップマイコンを安価に提供することが可能になる。

また、同様の理由から、メモリの“冗長回路のヒューズ”にEP-ROMを導入することが可能になり、再プログラム可能で信頼性の高いヒューズを有するメモリの提供が可能になる。

(実施例)

以下本発明によるEP-ROMの一実施例の構造を模式的に示した第1図(図(a)は平面図、図(b)、(c)、(d)は側断面図)により説明する。全図を通じて同一符号は同一対象物を示す。

第1図図示において、22はSiO₂の素子分離領域、27はポリSiのフローティングゲート、28はSiO₂の絶縁膜、29はn⁺型Siのコントロールゲート、30はSiO₂の絶縁層、22aは素子分離領域22の一部で

で形成する容量値に合うように、例えば約3μm角になっており、コンタクトホール3b、4b、29bの大きさは、共に従来と同じく約2μm角で、当該EP-ROM素子の大きさは略10μm角の領域に収まっている。

かく形成されたEP-ROMの作動は、上記説明から理解出来るように、第2図図示のEP-ROMと同様である。

このEP-ROMの製造においては、第3図図示のMOS-FETと並べながら見ると判るように、コントロールゲート29はソース3、13、ドレイン4、14と同類であり、フローティングゲート27はゲート17と同時に形成可能で、その後の工程も該MOS-FETと共通で終了する。

かくして、本発明のEP-ROMを使用することによって、例えば、同一チップにMOS-FETとEP-ROMとを形成する場合の製造費用を低減させることが可能になる。

(発明の効果)

以上説明したように、本発明の構成によりEP-R

チャンネル領域5とコントロールゲート29との間に介在する部分、29aはコンタクトホール29bを通してコントロールゲート29を導出する電極である。フローティングゲート27、絶縁膜28、コントロールゲート29などは、それぞれ第2図図示のフローティングゲート7、絶縁膜8、コントロールゲート9などに対応したものである。

即ち、従来フローティングゲート7の上に設けられた絶縁膜8は、図(a)図示の如く、素子分離領域22aを挟んでチャンネル領域5と横並びに設けられた絶縁膜28となり、コントロールゲート29は絶縁膜28の下に設けられ、フローティングゲート27は、素子分離領域22aを跨ぎ絶縁膜6および28の上に連続して設けられて、前記一層構造のEP-ROMとなっている。

ここで、チャンネル領域5の大きさは、従来と同様に例えば約2μm角であり、フローティングゲート27とコントロールゲート29とが重なっている領域の大きさは、両者間の容量値が第2図図示フローティングゲート7とコントロールゲート9と

OMのチャンネル領域上のゲートを一層構造にすることが出来て、例えば、EP-ROMを組み込んだワンチップマイコンを安価に提供することや、再プログラム可能で信頼性の高いヒューズを有するメモリの提供を可能にさせる効果がある。

4. 図面の簡単な説明

図面において、

第1図は本発明によるEP-ROMの一実施例の構造を模式的に示した平面図(a)、側断面図(b)、(c)、(d)、

第2図は従来のEP-ROMの構造を模式的に示した側断面図、

第3図はMOS-FETの構造を模式的に示した側断面図である。

図中において、

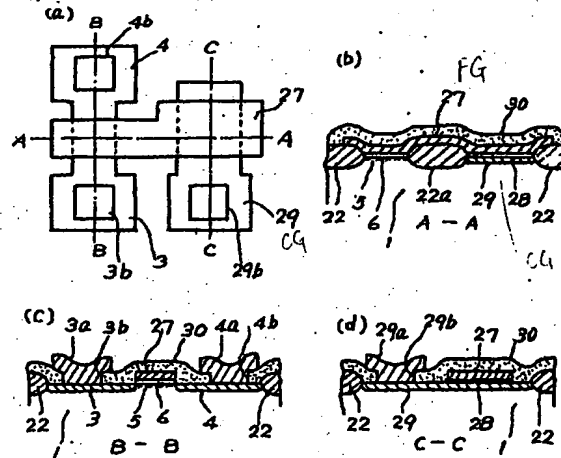
- 1は基板、
- 2、12、22、22aは素子分離領域、
- 3、13はソース、
- 4、14はドレイン、
- 5、15はチャンネル領域、

6、10、8、28は絶縁膜、
 7、27はフローティングゲート、
 9、29はコントロールゲート、
 10、20、30は絶縁層、
 3a、13a、4a、14a、9a、29aは電極、
 3b、13b、4b、14b、9b、29bは
 コンタクトホール、
 をそれぞれ示す。

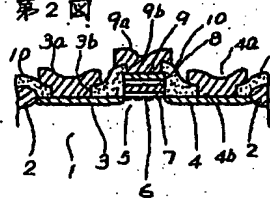
代理人 弁理士 松岡宏四郎



第1図



第2図 EP-ROM



第3図 MOS

